

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-102614
 (43)Date of publication of application : 15.04.1997

(51)Int.Cl. H01L 29/786
 G02F 1/136

(21)Application number : 08-053735 (71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD
 (22)Date of filing : 15.02.1996 (72)Inventor : YAMAZAKI SHUNPEI
 KOYAMA JUN
 TAKEMURA YASUHIKO

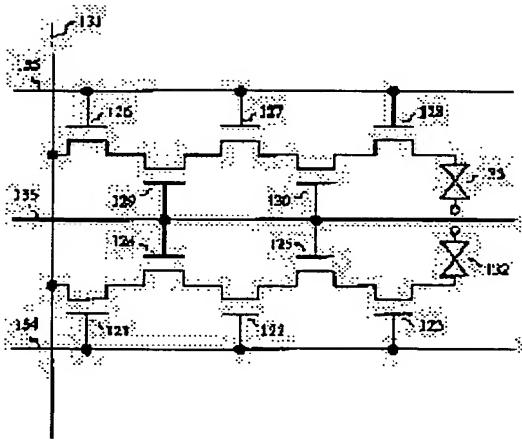
(30)Priority

Priority number : 07 50526	Priority date : 15.02.1995	Priority country : JP
07155274	30.05.1995	
07215408	31.07.1995	JP
		JP

(54) ACTIVE MATRIX DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the OFF current of a switching circuit in an active matrix display.
SOLUTION: Five thin film transistors 121-125, 126-130 are connected in series in picture element cells 132, 133. The thin film transistors 121-123 and 125-127 are connected with gate signal lines 134, 135 which are different every rows. The thin film transistors 124, 125, 129, 130 are connected with a common capacitance line 136. When data are written on the picture elements 132, 133, a selection signal is inputted from the gate signal lines 134, 135, and makes the thin film transistors 121-123 and 125-127 function as switching elements. Further a suitable potential is applied from the capacitance line 136, and makes the thin film transistors 124, 125, 129, 130 function as capacitors. Thereby the discharge amount from the picture element cells 132, 133 is reduced.



LEGAL STATUS

[Date of request for examination] 26.12.2002
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3501895
 [Date of registration] 12.12.2003
 [Number of appeal against examiner's decision of

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-102614

(43)公開日 平成9年(1997)4月15日

(51)Int.Cl. ^a	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/786			H 01 L 29/78	6 1 2 C
G 02 F 1/136	5 0 0		G 02 F 1/136	5 0 0
			H 01 L 29/78	6 1 8 C

審査請求 未請求 請求項の数8 FD (全12頁)

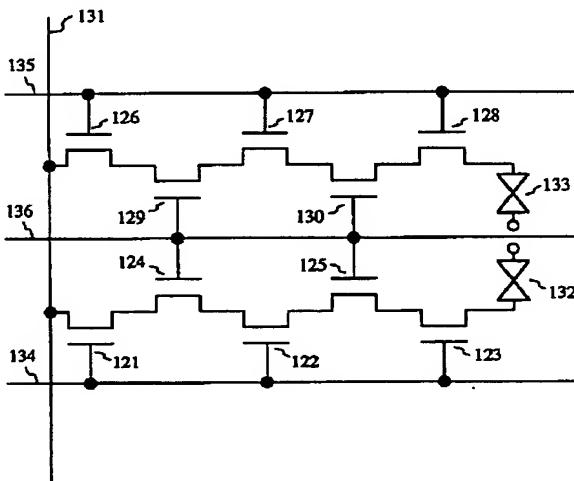
(21)出願番号	特願平8-53735	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22)出願日	平成8年(1996)2月15日	(72)発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31)優先権主張番号	特願平7-50526	(72)発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32)優先日	平7(1995)2月15日	(72)発明者	竹村 保彦 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33)優先権主張国	日本(JP)		
(31)優先権主張番号	特願平7-155274		
(32)優先日	平7(1995)5月30日		
(33)優先権主張国	日本(JP)		
(31)優先権主張番号	特願平7-215408		
(32)優先日	平7(1995)7月31日		
(33)優先権主張国	日本(JP)		

(54)【発明の名称】 アクティブマトリクス型表示装置

(57)【要約】

【課題】 アクティブマトリクス表示装置のスイッチング回路のOFF電流を低減させる。

【解決手段】 画素セル132、133には5個の薄膜トランジスタ121～125、126～130が直列接続されている。薄膜トランジスタ121～123と125～127は行毎に異なるゲート信号線134、135に接続され、薄膜トランジスタ124、125、129、130は共通の容量線136に接続されている。画素セル132、133へデータを書き込む際には、ゲート信号線134、135線から選択信号を入力して、薄膜トランジスタ121～123と125～127をスイッチ素子として機能させると共に、容量線136から適切な電位を印加して、薄膜トランジスタ124、125、129、130を容量として機能させて、画素セル132、133からの放電量を軽減させる。



【特許請求の範囲】

【請求項1】 マトリクス状に配置された画像信号線およびゲイト信号線と、前記画像信号線およびゲイト信号線で囲まれた領域に配置された画素電極と、を有し、前記画素電極に直列に接続された同一導電型のn個（nは1以上の自然数）の薄膜トランジスタとを有するアクティブマトリクス表示装置において、

前記n個の薄膜トランジスタにおいて、

第n=1番目の薄膜トランジスタのソースまたはドレン領域は前記画像信号線に接続され、

第n番目の薄膜トランジスタのドレンまたはソース領域は前記画素電極に接続され、

n-m（n>m）個の薄膜トランジスタのゲート電極は共通のゲイト信号線に接続され、

前記n-m個の薄膜トランジスタ以外のm個の薄膜トランジスタにおいて、

奇数行目の画素電極に接続された薄膜トランジスタのゲート電極と、偶数行目の画素電極に接続された薄膜トランジスタのゲート電極とは同一の容量線に接続され、該容量線によりチャネル形成領域がソース及びドレン領域と同一導電型となる電位にゲート電位が固定されることを特徴とするアクティブマトリクス表示装置。

【請求項2】 マトリクス状に配置された画像信号線およびゲイト信号線と、前記画像信号線およびゲイト信号線で囲まれた領域に配置された画素電極と、を有し、前記画素電極に直列に接続された同一導電型のn個（nは1以上の自然数）の薄膜トランジスタとを有するアクティブマトリクス表示装置において、

前記n個の薄膜トランジスタにおいて、

第n=1番目の薄膜トランジスタのソースまたはドレン領域は前記画像信号線に接続され、

第n番目の薄膜トランジスタのドレンまたはソース領域は前記画素電極に接続され、

前記直列接続された薄膜トランジスタの少なくとも2個以上の薄膜トランジスタのゲート電極は行毎に異なるゲート信号線に接続され、

他の薄膜トランジスタのゲート電極は奇数行と偶数行間で同一の容量線に接続され、該容量線によりチャネル形成領域がソース及びドレン領域と同一導電型となる電位にゲート電位が固定されることを特徴とするアクティブマトリクス表示装置。

【請求項3】 複数の画像信号線と、

前記画像信号線に概略垂直に配置された複数のゲイト信号線と、

奇数行目のゲイト信号線と偶数行目のゲイト信号線に平行に配置された複数の容量線と、

前記ゲイト信号線と画像信号線に囲まれた領域に設けられた画素電極と、

前記画素電極の各々に接続して設けられたスイッチング素子と、を有するアクティブマトリクス表示装置におい

て、

前記スイッチング素子の各々は概略M字型をした半導体被膜を1つ有し、

該半導体被膜は前記ゲイト信号線と少なくとも3か所の重なる部分を有し、

奇数行目のスイッチング素子を構成する前記半導体被膜と、偶数行目のスイッチング素子を構成する前記半導体被膜は、共通の前記容量線と少なくとも2か所の重なる部分を有することを特徴とするアクティブマトリクス表示装置。

【請求項4】 複数の画像信号線と、

前記画像信号線に概略垂直に配置された複数のゲイト信号線と、

奇数行目のゲイト信号線と偶数行目のゲイト信号線の間に1本づつ平行に配置された容量線と、

前記ゲイト信号線と画像信号線に囲まれた領域に設けられた画素電極と、

前記画素電極の各々に接続して設けられたスイッチング素子と、を有するアクティブマトリクス表示装置において、

前記スイッチング素子の各々は概略M字型をした半導体被膜を1つ有し、

前記半導体被膜において、前記画像信号線とコンタクトを有する領域と、前記画素電極とコンタクトを有する領域と、前記容量線とゲイト信号線とによって分離された4つ以上の領域とがそれぞれN型もしくはP型の導電型を示し、

前記半導体被膜は行毎に異なる前記ゲイト信号線と分断され、かつ奇数行と偶数行間で共通の前記容量線により分断されることを特徴とするアクティブマトリクス表示装置。

【請求項5】 請求項1又は請求項2において、前記容量線は、奇数行目のゲイト信号線と偶数行目のゲイト信号線の間に平行に配置されることを特徴とするアクティブマトリクス表示装置。

【請求項6】 請求項1乃至請求項4において、前記容量線は、当該行の画素とは重ならず、当該行に隣接する行の画素と重なることを特徴とするアクティブマトリクス表示装置。

【請求項7】 隣合う一对の画素電極と、

前記一对の画素電極の間に配置された一对のゲイト信号線と、

前記一对のゲイト信号線の間に配置された容量線と、前記一对の画素電極のそれぞれに接続された一对の島状の半導体領域と、

を有するアクティブマトリクス表示装置において、

前記島状の半導体領域の一端は前記画素電極に接続されており、

前記一对のゲイト信号線のそれぞれは前記それぞれの島状の半導体領域を3ヶ所以上の領域で横断しており、

前記容量線は前記それぞれの島状の半導体領域を2ヶ所以上の領域で横断していることを特徴とするアクティブマトリクス表示装置。

【請求項8】 請求項7において、前記ゲイト信号線と概略直交するように配列された画像信号線を有し、該画像信号線は前記島状の半導体領域の他端と接続されていることを特徴とするアクティブマトリクス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置、プラズマ表示装置、EL表示装置等のアクティブマトリクス表示装置に関するものである。

【0002】

【従来の技術】図13(A)は従来例のアクティブマトリクス表示装置の概略図であり、破線で示す領域は表示領域104であり、その中に薄膜トランジスタ101がマトリクス状に配置されている。薄膜トランジスタ101のソース電極は画像(データ)信号線106に接続され、薄膜トランジスタ101のゲート電極はゲート(選択)信号線105に接続されている。ゲート信号線105、画像信号線106は相互に概略垂直となるように複数本配置され、それぞれシフトレジスタ等から成る周辺回路107、108に接続されている。

【0003】補助容量102は、画素セル103の容量を補強するためのコンデンサであり、画像データの保持用として用いられる。薄膜トランジスタ101は画素セル103に印加する電圧の画像データをスイッチングするのに用いられる。

【0004】一般に、薄膜トランジスタ101のゲートに逆バイアス電圧を印加すると、ソース/ドレイン間に電流が流れない状態(OFF状態)とはならずに、リーク電流(OFF電流という)が流れるという現象が知られており、リーク電流により、画素セル103の電位が変動するということが問題となっている。

【0005】薄膜トランジスタ101がNチャネル型の場合には、ゲートを負にバイアスした時には半導体薄膜の表面に誘起されるP型層と、ソース領域及びドレイン領域のN型層との間に形成されるPN接合が発生するが、半導体薄膜中には多くのトラップが存在するため、このPN接合は不完全であり接合リーク電流が流れやすい。ゲート電極を負にバイアスするほどOFF電流が増加するのは、半導体薄膜の表面に形成されるP型層のキャリア濃度が増加して、PN接合のエネルギー障壁の幅が狭くなるために、電界の集中が起り、接合リーク電流が増加することによるものである。

【0006】このようにして生じるOFF電流は、ソース/ドレイン電圧にも大きく依存して、薄膜トランジスタのソース/ドレイン間に印加される電圧が大きくなるに従って、OFF電流が飛躍的に増大することが知られている。例えば、ソース/ドレイン間に5Vの電圧を加

えた場合と10Vの電圧を加えた場合とでは、後者のOFF電流は前者の2倍ではなく、10倍にも100倍にもなる場合がある。更に、OFF電流の非線型的な変動はゲート電圧にも依存し、一般にゲート電圧の逆バイアスの値が大きい場合(Nチャネル型では、大きなマイナス電圧)には、両者の差が著しい。

【0007】この問題を解決するためには、例えば、特公平5-44195と特公平5-44196に記述されているように、薄膜トランジスタを直列に接続する方法(マルチゲート法)が提案されている。これは、個々の薄膜トランジスタのソース/ドレインに印加される電圧を減少させることによって、個々の薄膜トランジスタのOFF電流を低減せしめることを意図している。例えば、図13(B)のように2個の薄膜トランジスタ111、112を画素セル103に直列に接続した場合、個々の薄膜トランジスタ111、112のソース/ドレインに印加される電圧は半分になる。ソース/ドレインに印加される電圧が半分になれば、前述の議論からOFF電流は1/10にも1/100にもなる。なお、図13(B)において図13(A)と同一の符号は同一の部材を示す。

【0008】

【発明が解決しようとする課題】しかしながら、液晶ディスプレーの画像表示に要求される特性が厳しくなると、上記のマルチゲート法でも必要なだけOFF電流を下げる事が困難になる。すなわち、ゲート電極の数(薄膜トランジスタの数)を3個、4個、5個と増やしても、薄膜トランジスタのソース/ドレインに印加される電圧は1/3、1/4、1/5というように僅かづつしか減らないからである。また、薄膜トランジスタを増加したために、回路が複雑かつ専有面積が大きくなり、開口率を低下するという問題も生ずる。

【0009】本発明は、上記のような問題を鑑みてなされたものであり、簡素な構成で、画素電極に接続する薄膜トランジスタのソース/ドレインに印加される電圧を、通常の場合の1/10以下、好ましくは1/100以下とすることにより、薄膜トランジスタのOFF電流を低減し得るアクティブマトリクス表示装置を提供することにある。

【0010】

【課題を解決するための手段】上述の課題を解消するために、本発明に係るアクティブマトリクス表示装置の構成の一つは、マトリクス状に配置された画像信号線およびゲート信号線と、前記画像信号線およびゲート信号線で囲まれた領域に配置された画素電極と、を有し、前記画素電極に隣接して同一導電型のn個の薄膜トランジスタが直列に接続されて配置されており、前記複数の薄膜トランジスタのn=1番目の薄膜トランジスタのソースまたはドレイン領域は前記画像信号線に接続され、前記複数の薄膜トランジスタのn番目の薄膜トランジスタの

ドレインまたはソース領域は前記画素電極に接続されており、 $n - m$ ($n > m$) 個の薄膜トランジスタのゲート電極は共通にゲート信号線に接続されており、前記 $n - m$ 個の薄膜トランジスタ以外の m 個の薄膜トランジスタにおいて、奇数行の画素電極に接続された薄膜トランジスタのゲート電極と、偶数行の画素電極に接続された薄膜トランジスタのゲート電極は同一の容量線に接続され、前記容量線に接続されたゲート電極の電位はチャネル形成領域がソース及びドレイン領域と同一導電型となる電位に、容量線により固定されることを特徴とする。

【0011】上記構成において、 n 、 m はそれぞれ 0 を除く自然数である。所定の効果を得るためにには、 $n = 5$ 以上であることが好ましい。

【0012】上記構成の具体的な構成例を図1に示す。図1に示す場合の構成では、 $n = 5$ 、 $m = 2$ であり、121～125 及び 126～130 で示される $n = 5$ 個の薄膜トランジスタはそれぞれ画素セル 132、133 に直列に接続されている。

【0013】 $n = 1$ 個目の薄膜トランジスタ 121、126 のソース領域は画像信号線 129 に接続され、 n 番目 (5 番目) の薄膜トランジスタ 125、128 のドレイン領域はそれぞれ画素セル 132、133 の一方の電極 (画素電極) に接続されている。

【0014】また、本発明のアクティブマトリクス表示装置は、異なる画素電極に接続された n 個の薄膜トランジスタにおいて、 $(n - m)$ 個の薄膜トランジスタはゲート信号線に接続され、他の m 個の薄膜トランジスタは容量線に接続されるが、ゲート信号線は行毎に異なり、容量線は奇数行と偶数行で共有される。

【0015】具体的には、図1に示すように、3 個 ($(n - m)$ 個) の薄膜トランジスタ 121～123 のゲート電極はゲート信号線 134 に接続され、薄膜トランジスタ 126～128 のゲート電極はゲート信号線 135 に接続される。他方、2 個 (m 個) の薄膜トランジスタ 124、125 のゲート電極と、薄膜トランジスタ 129、130 のゲート電極とは共通の容量線 136 に接続されて、ゲート電極が適当な電位に保持される構成となっている。

【0016】上記の構成において、画素セル 132、133 が電位を保持する間には、容量線 136 を適当な電位に保つことにより、隣接する行の薄膜トランジスタ 124、125 と 129、130 のチャネルとゲート電極の間に容量が形成されて、画素セル 132、133 の電圧降下を抑制する。

【0017】なお本発明において、特にゲート信号線に接続されている薄膜トランジスタを LDD 構造、更にオフセット構造を有するようにすると、OFF 電流の低減により効果的になる。

【0018】また、本発明の他の構成は、隣合う一对の画素電極と、前記一对の画素電極の間に配置された一对

のゲート信号線と、前記一对のゲート信号線の間に配置された容量線と、前記一对の画素電極のそれぞれに接続された一对の島状の半導体領域と、を有し、前記島状の半導体領域の一端は前記画素電極に接続されており、前記一对のゲート信号線のそれぞれは前記それぞれの島状の半導体領域を 3ヶ所以上の領域で横断しており、前記容量線は前記それぞれの島状の半導体領域を 2ヶ所以上の領域で横断していることを特徴とするアクティブマトリクス表示装置。

【0019】上記構成の具体的な構成例を図8に示す。図8に示すのは、一对の隣合う画素電極 216 と 217 と、一对の隣合う電極 216 と 217 の間に配置された一对のゲート信号線 205 と 206 と、前記一对のゲート信号線の間に配置された容量線 209 と、前記一对の画素電極 216 と 217 のそれぞれに接続された一对の島状の半導体領域 201 と 202 (薄膜トランジスタの活性層を構成する) と、を有し、前記島状の半導体領域 201、202 の一端は、それぞれ前記画素電極 216 と 217 に接続されており、前記一对のゲート信号線 205、206 それぞれは前記それぞれの島状の半導体領域 201、202 を 3ヶ所の領域で横断しており、前記容量線 209 は前記島状の半導体領域 201、202 を 2ヶ所の領域で横断している構成である。

【0020】上記の構成を採用した場合は、一对の画素電極に対して、1つの容量線を共通に利用することになるで、画素の開口率を高めることができる。図8には、最小限の構成しか示されていないが、実際の液晶ディスプレイにおいては、図8に示すような構成が数百×数百という数で繰り返し組み合わされた構成が採用されている。

【0021】本明細書で開示する発明の基本的な思想は、図1に示すように、薄膜トランジスタ 121～125 を直列に接続し、このうち、薄膜トランジスタ 121～123 のゲートをゲート信号線 134 に接続し、他の薄膜トランジスタ 124、125 のゲートを容量線 136 に接続することである。更に、奇数行と、偶数行で容量線を共有するようにして、容量線を行数の 1/2 の本数にして、画素の開口率を向上させている。

【0022】画素の電位を保持する時間においては、容量線 136 を適当な電位に保つことにより、薄膜トランジスタ 124、125 のチャネルとゲート電極の間に容量が形成されるため、薄膜トランジスタ 122、123 のソース/ドレイン間に現れる電圧が低下し、よって、これらの薄膜トランジスタの OFF 電流を低減させることができる。なお、補助容量は必ずしも必要ではない。むしろ、書き込みの際の負担を増大させるものであるので、画素セル 132 の容量と薄膜トランジスタ 124、125 に生成する容量の比率が最適なものであれば無いほうが好ましい場合もある。

【0023】

【発明の実施の形態】図1に従って、本発明の実施の形態について説明する。ゲイト信号線134に選択信号が送られたときに、薄膜トランジスタ121～123はいずれもONとなる。また、この際には薄膜トランジスタ124、125もONとなるべく、容量線136に信号が印加される必要がある。この結果、画像信号線131の信号に応じて、画素セル132が充電されるのと同時に、薄膜トランジスタ124、125にも充電される。十分に充電がなされた(平衡)段階では、薄膜トランジスタ124、125のソース／ドレイン間の電圧はほぼ等しい状態となる。

【0024】この状態で選択信号が切られると、薄膜トランジスタ121～123はいずれもOFFとなるが、薄膜トランジスタ124、125は依然としてON状態である。その後、画像信号線131には他の画素の信号が印加され、薄膜トランジスタ121は有限のOFF電流があるので、薄膜トランジスタ124に充電された電荷が放出されて、電圧が低下することとなる。しかし、この速度は、図13(A)で示した通常のアクティブマトリクス回路の容量102の電圧降下と同じ程度の速度で進行する。

【0025】一方、薄膜トランジスタ122に関しては、当初、ソース／ドレイン間の電圧がほぼ0であったために、OFF電流は極めて僅かであるが、その後、薄膜トランジスタ124の電圧が降下するため、徐々にソース／ドレイン間の電圧が増加するのに伴って、OFF電流も徐々に増加することとなる。また、薄膜トランジスタ123に関しても、薄膜トランジスタ124の電圧が降下するため、同様に徐々にOFF電流が増加するが、その速度は薄膜トランジスタ122にも増して小さいことは言うまでもない。以上のことから、これらの薄膜トランジスタ121～123のOFF電流の増加による画素セル127の電圧降下は図13(A)に示す通常のアクティブマトリクス回路におけるものよりも十分に緩やかであることは言うまでもない。

【0026】一般に薄膜トランジスタの劣化はソース／ドレイン間の電圧に依存するが、本発明においては、図1の薄膜トランジスタ122、123及び薄膜トランジスタ126、127のソース／ドレイン間の電圧は全ての駆動過程において低く保たれているため、薄膜トランジスタの劣化を抑制することができる。

【0027】図1に示す回路は、図3(A)に示す概略M字型の半導体領域100に、図3(B)～(D)に示すように、ゲイト信号線134と容量線136とを重ねた配置を取ることにより、高い集積度で構成することができる。図3(B)～(D)はM字型の半導体領域100に対する、ゲイト信号線134、容量線136の可能な配置関係を示し、いずれを採用しても、本発明の効果を同様に得ることができる。

【0028】図3(B)は最もオーソドックスな配置で

あり、半導体領域100とゲイト信号線134、容量線136とが交差することにより、薄膜トランジスタ121～125が、その交点(ゲイト信号線との交点3つ、容量線との交点2つ、全部で5つ)に形成される。半導体領域100のうち、ゲイト信号線134、容量線136で分離された(挟まれた)領域(図3(B)においては4つある)、および半導体領域100の両端の領域には、N型もしくはP型の不純物が導入され、薄膜トランジスタ121～125のソース／ドレインとなる。画像信号線131、および画素セル132の画素電極は、半導体領域100の両端のいずれかに接続するように形成されればよい。

【0029】他方図3(C)のように、点a、bを容量線136が覆わない場合も可能である。なぜなら、薄膜トランジスタ124、125は容量としてのみ機能すれば十分だからである。また、図3(D)のように、半導体領域100と6つの交点を形成し、6個の薄膜トランジスタ301～306が直列に接続されたスイッチング素子を構成することも可能である。この場合には、マトリクス回路の等価回路図を図2に示す。

【0030】図2において、図1と同一の符号は同一の部材を示す。更に、図2には、画素セル133に直列接続される6個の薄膜トランジスタ307～312も図示されている。図2に示す回路構成図は、図1における薄膜トランジスタ122(127)を2つの直列した薄膜トランジスタ302、302(308、309)に置き換えたものに対応する。このため、図1の回路よりもOFF電流をより低減できる。

【0031】

【実施例】

【実施例1】 本実施例は、画素セルのスイッチング回路の作製工程に関するものであり、作製工程を説明することにより、本発明の理解を深めるものである。本実施例は図1に示すスイッチング回路において、薄膜トランジスタ121～125から成るスイッチング回路の作製工程を説明するものであり、図3(A)、図3(B)はスイッチング回路の作製工程を示す部分的な上面図である。また、図4は作製工程毎の断面図であり、図4においては、左側には図3(A)の点鎖線X-Yで示した部分の断面を示し、右側には同図X'-Y'で示した部分の断面を示す。図4では隣接して描かれているが、明らかに、X-YとX'-Y'は同一直線上には無いことに注意すべきである。

【0032】本実施例では、ゲイト電極を陽極酸化することにより、オフセットゲートを構成し、よりOFF電流を低減することを特色とする。なお、ゲイト電極を陽極酸化する技術は特開平5-267667に開示されている。もちろん、通常用いられるような構造のゲイト電極も本発明に用いることができる。

【0033】図4(A)に示すように、基板151(コ

ーニング7059、100mm×100mm)上に、下地膜として酸化珪素膜152を1000～5000Å、例えば3000Åに成膜した。この酸化珪素膜152の成膜には、TEOSをプラズマCVD法によって分解・堆積して成膜した。また、この工程はスパッタ法によっておこなってもよい。

【0034】その後、プラズマCVD法やLPCVD法によってアモルファシリコン膜を300～1500Å、例えば、500Å堆積し、これを550～600°Cの雰囲気に8～24時間放置して、結晶化せしめた。その際には、ニッケルを微量添加して結晶化を促進せしめてもよい。ニッケル等を添加することによって結晶化を促進せしめ、結晶化温度・結晶化時間を低下・短縮する技術は特開平6-244104に示されている。この工程は、レーザー照射等の光アニールによっておこなってもよい。また、熱アニールと光アニールを組み合わせてもよい。

【0035】結晶化させたシリコン膜をエッチングして、図3(A)に示す概略M字型の島状領域100を形成し、この上にゲート絶縁膜153として、プラズマCVD法によって厚さ700～1500Å、例えば、1200Åの酸化珪素膜を形成した。この工程はスパッタ法によっておこなってもよい。

【0036】その後、厚さ1000Å～3μm、例えば、5000Åのアルミニウム(1wt%のSi、もしくは0.1～0.3wt%のScを含む)膜をスパッタ法によって形成して、図3(B)、図4(B)に示すように、これをエッチングしてゲート信号線134、容量線136を形成した。これらはいずれも薄膜トランジスタのゲート電極となる。

【0037】この段階では、図5に示すように基板601上の他のゲート信号線134や容量線136(図5においてはアルミニウム配線602相当する)を全てアクティブマトリクス領域603の周囲に形成されたアルミニウム膜領域604に接続するように、エッチングするとい。ただし、この際にはゲートドライバ605やソースドライバ606等の周辺回路を構成する薄膜トランジスタのゲート電極等のアルミニウム配線はアルミニウム膜領域604とは絶縁されているように設計するとい。これは、周辺回路の薄膜トランジスタの電極・配線を陽極酸化されないようにして、集積度を向上させるためである。

【0038】そして、図4(C)に示すように、ゲート電極(ゲート信号線134、容量線136)に電解溶液中で電流を通じて陽極酸化し、厚さ500～2500Å、例えば、2000Åの陽極酸化物154、155を形成した。用いた電解溶液は、L-酒石酸をエチレン glycoleに5%の濃度に希釈し、アンモニアを用いてpHを7.0±0.2に調整したものである。その溶液中に基板を浸し、定電流源の+側を基板上のゲート電極に

接続し、一側には白金の電極を接続して20mAの定電流状態で電圧を印加し、150Vに達するまで酸化を継続した。さらに、150Vの定電圧状態で、電流が0.1mA以下になるまで酸化を継続した。この結果、ゲート信号線134および容量線136上に厚さ2000Åの陽極酸化物154、155が形成される。

【0039】その後、図4(D)に示すように、イオンドーピング法によって、島状領域100に、ゲート電極部(すなわち、ゲート信号線134、容量線136とその周囲の陽極酸化物153、155)をマスクとして自己整合的に不純物(ここでは燐)を注入し、N型不純物領域156～159を形成する。ここで、ドーピングガスとしてはfosfinc(PH₃)を用いた。この場合のドーズ量は1×10¹⁴～5×10¹⁵原子/cm²とし、加速電圧は60～90kVとすればよい。例えば、ドーズ量を1×10¹⁵原子/cm²、加速電圧は80kVとした。この結果、N型不純物領域156～159が形成された。

【0040】さらに、KrFエキシマーレーザー(波長248nm、パルス幅20nsec)を照射して、ドーピングされた不純物領域156～159の活性化をおこなった。レーザーのエネルギー密度は200～400mJ/cm²、好ましくは250～300mJ/cm²が適当であった。この工程は熱アニールによっておこなってもよい。特に触媒元素(ニッケル)を含有しており、通常の場合に比較して低温の熱アニールで活性化できる(特開平6-267989)。

【0041】このようにしてN型不純物領域156～159が形成されて、薄膜トランジスタ121、123、124、125が形成されているのが分かる。また、ゲート信号線134をゲート電極とする図示しない薄膜トランジスタ122も同様に形成されている。これらの薄膜トランジスタ121～125は陽極酸化物154、155の厚さだけ不純物領域156～159がゲート電極から遠い、いわゆるオフセットゲート構造となっている。

【0042】図4(E)に示すように、層間絶縁膜160として、プラズマCVD法によって酸化珪素膜を厚さ5000Åに成膜した。このとき、原料ガスにTEOSと酸素を用いた。そして、層間絶縁膜160、ゲート絶縁膜153のエッチングをおこない、N型不純物領域156に、即ち薄膜トランジスタ121のソースにコンタクトホールを形成した。その後、アルミニウム膜をスパッタ法によって形成し、エッチングしてソース電極・配線161を形成した。これは図1に示す画像信号線131が延在したものに相当する。

【0043】図4(F)に示すように、バッシベーション膜162を形成した。ここでは、NH₃/SiH₄/H₂混合ガスを用いたプラズマCVD法によって、塗化珪素膜を2000～8000Å、例えば、4000Åの

膜厚に成膜して、パッシベーション膜とした。そして、パッシベーション膜162、層間絶縁膜160、ゲイト絶縁膜153をエッチングして、N型不純物領域159に、即ち薄膜トランジスタ125のドレインに画素電極163とのコンタクトホールを形成した。

【0044】そして、インディウム錫酸化物(ITO)被膜をスパッタ法によって成膜し、これをエッチングして、その画素電極163を形成した。画素電極163は画素セル132の電極の一方である。以上の工程を経て、1個の島状半導体領域100に、図1に示す直列接続されたNチャネル型薄膜トランジスタ121～125(126～130)から成るアクティブマトリクス回路素子が形成される。

【0045】〔実施例2〕 図6～8は本実施例のスイッチング素子の作製工程を説明する上面図である。具体的なプロセスについては、公知技術、もしくは実施例1に示される技術を用いればよいので、ここでは詳述しない。また、本実施例のスイッチング回路の等価回路を図1に示す。

【0046】図6に示すように、結晶性硅素膜をパターニングして、実施例1もしくは図3(A)に記述されるような概略M字型の半導体領域(活性層)201～204を所定の位置に形成する。その後、ゲイト絶縁膜(図示せず)を形成する。そして平行に配列されたゲイト信号線205～208と、ゲイト信号線205と206間に平行に配列された容量線209と、ゲイト信号線207と208間に平行に配列された容量線210とをそれぞれ形成する。

【0047】ここで、ゲイト信号線205～208および容量線209、210と活性層201～204の位置関係については実施例1と同様であり、活性層201～204はそれぞれゲイト信号線205～208と3ヶ所交差し、活性層201と202はそれぞれ共通の容量線209と2ヶ所で交差し、活性層203と204はそれぞれ共通の容量線210と2ヶ所で交差する。

【0048】図7に示すように、活性層201～204にN型又はP型の導電型を付与する不純物をドーピングして、図示しない層間絶縁物を形成した後に、活性層201～204の一端にそれぞれコンタクトホール211～214を形成し、画像信号線215を形成する。

【0049】次に図8に示すように、活性層201～204の他端にコンタクトホールを形成し、ゲイト信号線205～208と画像信号線215によって囲まれた領域に画素電極216～219を活性層201～204の他端と接続するように形成する。

【0050】以上の工程を経て、アクティブマトリクス回路のスイッチング素子が形成される。本実施例において、一対の画素電極216、217(218、219)に対して1本の容量線209(210)を共通に利用しているため、容量線の数をゲイト信号線の本数の半分に

することができるので、画素の開口率を高めることができます。なお、図8には、最小限の構成しか示されていないが、実際の液晶ディスプレイにおいては、図8に示すような構成が数百×数百という数で繰り返し組み合わされた構成が採用される。

【0051】また、図8のアクティブマトリクス回路の等価回路は図1に相当し、ゲイト信号線204、205はゲイト信号線134、135に相当し、容量線209は容量線136に相当する。さらに、活性層201とゲイト信号線205、容量線209から薄膜トランジスタ121～125が構成され、活性層202とゲイト信号線206と容量線209から薄膜トランジスタ126～130が構成される。また、画素電極216、217はそれぞれ画素セル132、133の一方の電極に相当する。

【0052】開口率をより向上させるためには、図9(A)示す概略M字型の活性層221に対して、図9(B)に示すように活性層221の屈曲部を全て容量線222、ゲイト信号線223により覆うように配置し、更に、図9(C)に示すように活性層221に形成される薄膜トランジスタの一部を画像信号線224と重ねることも有効である。

【0053】更に、活性層の屈曲をより多くし、活性層とゲイト信号線及び容量線との交点を多くすると、より多くのトランジスタを形成することができる。その結果、よりOFF電流を低減させることができる。例えば、図10(A)に示すように、図3(A)、図9(A)等に示される島状の活性層よりも屈曲部を1つ多くして活性層301をパターニングして、図10(B)のようにゲイト信号線302、容量線303を重ねることにより、スイッチング素子として機能する薄膜トランジスタを6個形成して、容量として機能する薄膜トランジスタを3個形成することができる。

【0054】〔実施例3〕 図11は本実施例のアクティブマトリクス回路の上面図であり、実施例2のスイッチング回路の変形例である。図11において、図8と同じ符号は同じ部材を示す。また、本実施例の等価回路は実施例2と同様に、図1に示す回路構成を有する。

【0055】図11に示す構成が特徴とするのは、2つの画素における共通の容量線の利用仕方である。図8に示す実施例2では、活性層201と202、活性層203と204はそれぞれ容量線209、210に関して点対称に配置され、容量線209、210と活性層201～204との交差する領域が容量線209、210の長手方向に並設されている。

【0056】他方、本実施例は図11に示すように、活性層201と202又は活性層203と204は容量線209、210に関して線対称に配置して、容量線209、210と活性層201～204との交差する領域が、容量線209、210の幅方向に配置するようにし

ている。これにより、マトリクス回路の集積度を高めることができる。また、一対の画素電極216、217に対して1本の容量線209を共通に利用しているため、容量線の数をゲイト信号線の本数の半分にすることができるので、画素の開口率を高めることができる。

【0057】〔実施例4〕図12は本実施例のアクティブマトリクス回路の上面図であり、実施例2のスイッチング回路の他の変形例である。図12において、図8と同じ符号は同じ部材を示す。また、本実施例の等価回路は実施例2と同様に、図1に示す回路構成を有する。【0058】図12に示すように、実施例2と同様に、活性層201と202及び、活性層203と204は容量線209、210に対して点対称に配置され、容量線209、210と活性層201～204との交差する領域が容量線209、210の長手方向に並列しているが、本実施例では、活性層201と202及び活性層203と204は互いの領域に入り込むように配置されている。これにより、画素の開孔率を高めることができます。更に、一対の画素電極216、217に対して1本の容量線209を共通に利用しているため、容量線の数をゲイト信号線の本数の半分にすることができるので、画素の開口率を高めることができます。

【0059】なお、実施例1～4においては、薄膜トランジスタの構造としてはトップゲート型のものを中心で説明したが、ボトムゲート型その他の構造のものであっても、同様に、薄膜トランジスタのOFF電流を低下させることができるとある。

【0060】特にトップゲート型の薄膜トランジスタにおいては、薄い半導体領域（活性層）を複雑な形状とする一方、ゲート電極等は極めて単純な形状としているため、上層配線の断線を防止することができるという長所を有する。逆にゲート電極を複雑な形状とした場合には、開口率を低下させる一因となる。

【0061】

【発明の効果】以上、本発明に係るアクティブマトリクス表示装置は、直列接続された複数の薄膜トランジスタのゲートをゲート信号線や容量線に接続することにより、液晶セルの電圧降下を抑制することができる。更に、一対の画素電極に対して1本の容量線を共通に利用しているため、容量線の数をゲート信号線の本数の半分にすることができるので、画素の開口率を高めることができます。

【0062】一般に薄膜トランジスタの劣化はソース／ドレイン間の電圧に依存するが、本発明においては、ゲート信号線に接続されている薄膜トランジスタのソース／ドレイン間の電圧は全ての駆動過程において低く保つことが可能そのため、薄膜トランジスタの劣化を防止することができる。

【0063】本発明は、より高度な画像表示が要求される用途において効果的である。すなわち、256階調以

上の極めて微妙な濃淡を表現する場合には液晶セルの放電は1フレームの間に1%以下に抑えられることが必要である。図13(A)、図13(B)に示す従来の方式は何れもこの目的には適していない。

【0064】また、本発明は特に行数の多いマトリクスの表示等の目的に適した結晶性シリコン半導体の薄膜トランジスタを用いたアクティブマトリクス表示装置にも適している。一般に、行数の多いマトリクスでは、1行あたりの選択時間が短いのでアモルファスシリコン半導体の薄膜トランジスタは用いるのに適当でない。しかしながら、結晶性シリコン半導体を用いた薄膜トランジスタはOFF電流が多いことが問題となっている。

【0065】このため、OFF電流を低減できる本発明はこの分野でも大きな貢献が可能である。もちろん、アモルファスシリコン半導体を用いた薄膜トランジスタにおいても効果を有することは言うまでもない。

【0066】上述のように、本発明は従来のアクティブマトリクス回路の作製工程を最小限の変更することで実施可能であり、多大な効果を得ることができます。このように本発明は工業上、有益な発明である。

【図面の簡単な説明】

【図1】 本発明のアクティブマトリクス表示装置のスイッチング回路図である。

【図2】 本発明のアクティブマトリクス表示装置のスイッチング回路図である。

【図3】 本発明の半導体領域、ゲート信号線、容量線の配置例を示す。

【図4】 実施例1におけるスイッチング素子の製造工程（断面）を示す。

【図5】 実施例1のゲート信号線、容量線等と周辺回路の配置例を示す。

【図6】 実施例2におけるスイッチング素子の製造工程（上面）を示す。

【図7】 実施例2におけるスイッチング素子の製造工程（上面）を示す。

【図8】 実施例2におけるスイッチング素子の製造工程（上面）を示す。

【図9】 実施例2の変形例であり、半導体領域、ゲート信号線、容量線の配置例を示す。

【図10】 実施例2の半導体領域の変形例であり、ゲート信号線、容量線の配置例を示す。

【図11】 実施例3の半導体領域、ゲート信号線、容量線の配置例を示す。

【図12】 実施例4の半導体領域、ゲート信号線、容量線の配置例を示す。

【図13】 従来例のアクティブマトリクス表示装置のスイッチング回路図である。

【符号の説明】

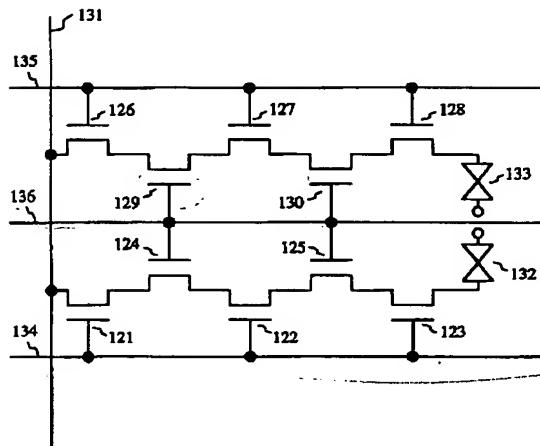
100···半導体領域

121～130···薄膜トランジスタ

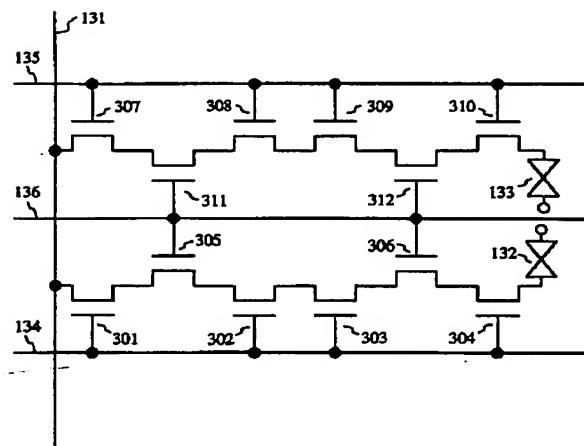
131 画像信号線
 132、133 . . . 画素セル
 134、135 . . . ゲイト信号線
 136 容量線
 154、155 . . . 陽極酸化物
 156~159 . . . N型不純物領域
 160 層間絶縁膜
 161 ソース電極・配線

162 パッシベーション膜
 163 画素電極
 201~204 . . . 活性層
 205~208 . . . ゲイト信号線
 209、210 . . . 容量線
 211~214 . . . コンタクトホール
 215 画像信号線
 216~219 . . . 画素電極

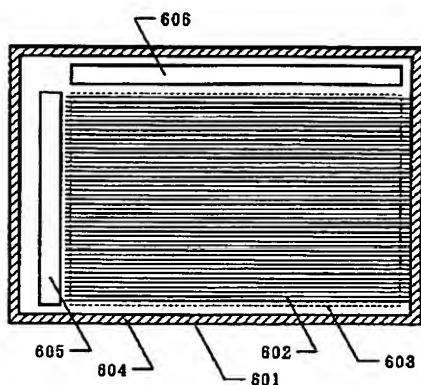
【図1】



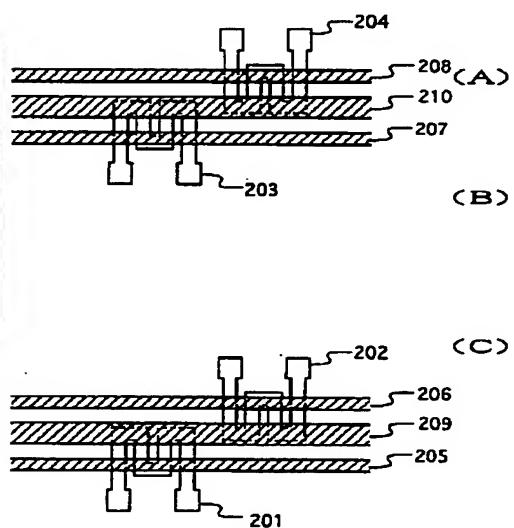
【図2】



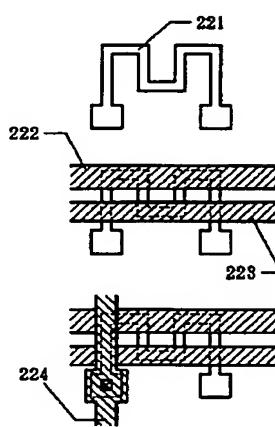
【図5】



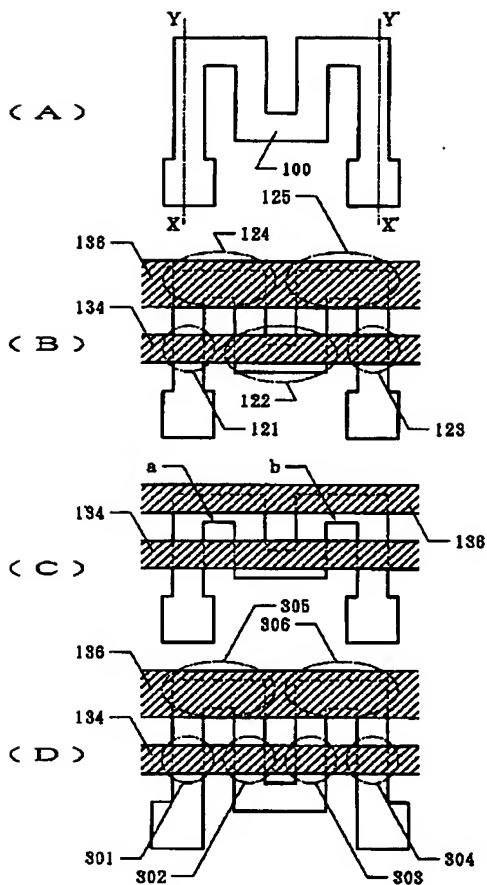
【図6】



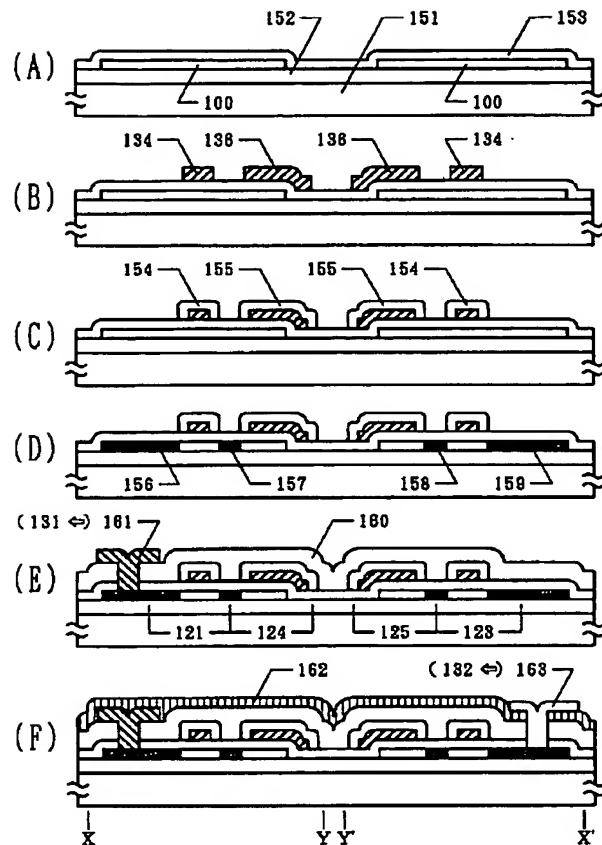
【図9】



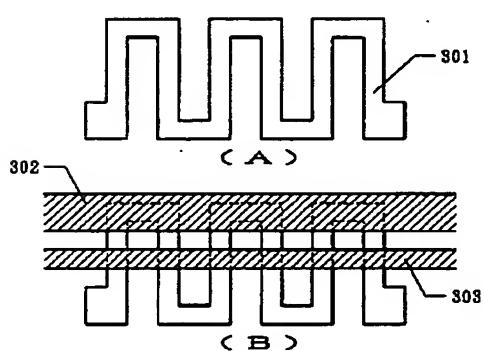
【図3】



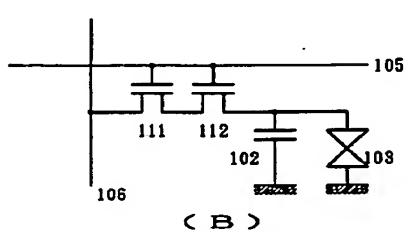
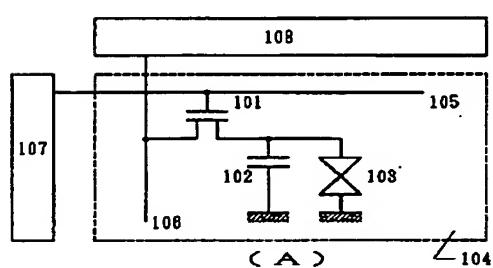
【図4】



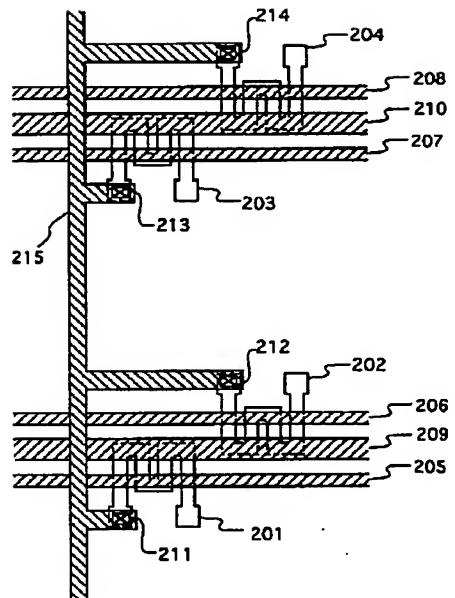
【図10】



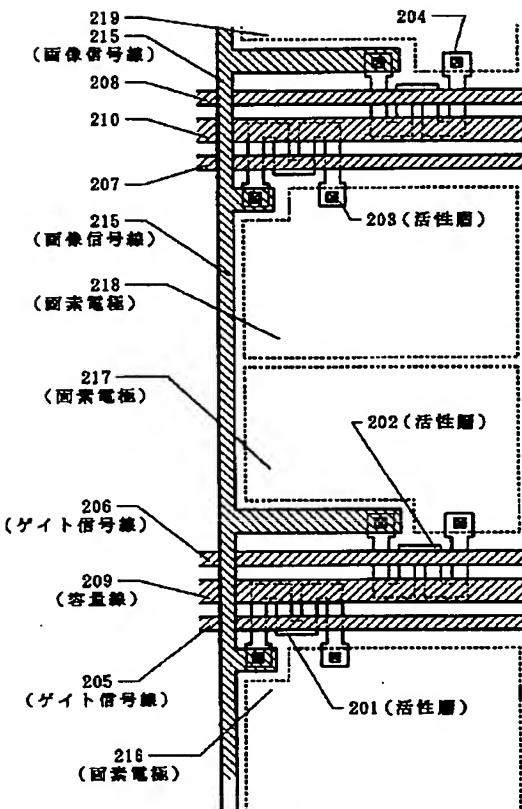
【図13】



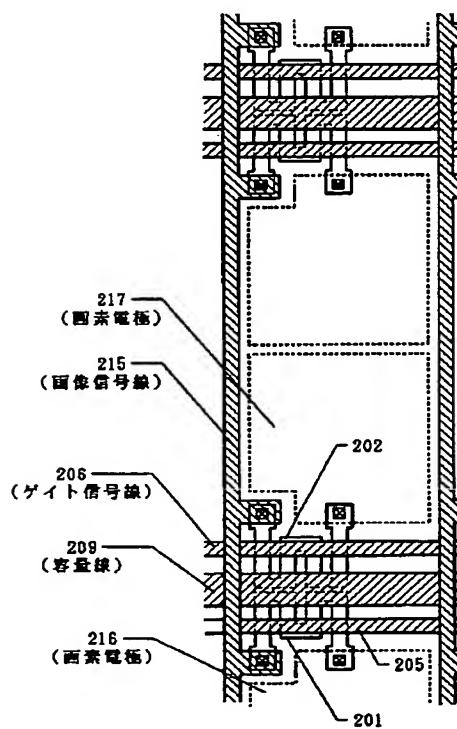
【図7】



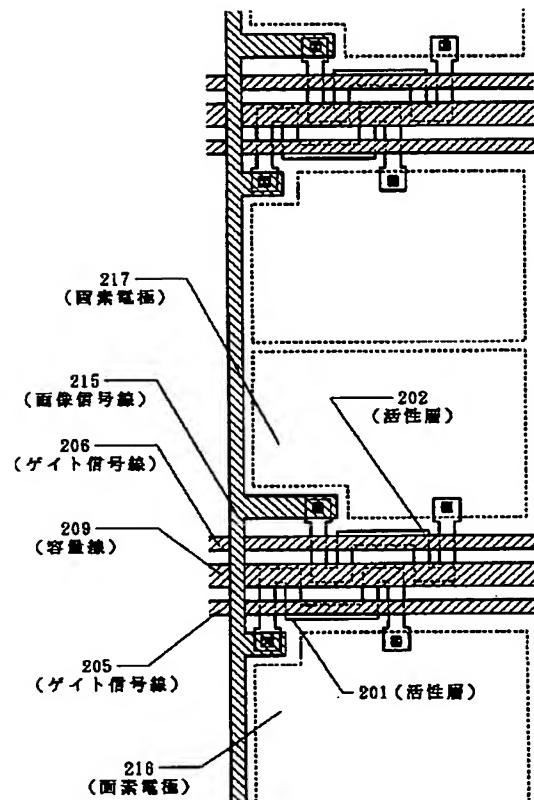
【図8】



【図11】



【図12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.